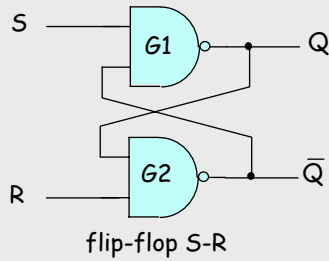


FLIP-FLOP

NAND		
A	B	Q
0	0	1
1	0	1
0	1	1
1	1	0

- dispositivo com memória
- uso em contadores, acumuladores, latches



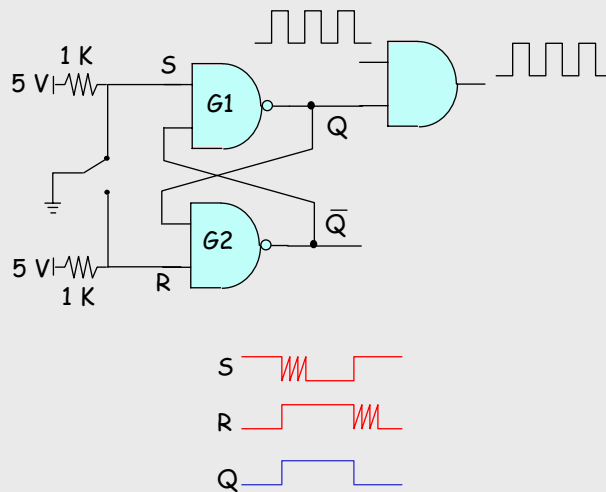
S	R	Q	Q̄
1	1	0	1
1	1	1	0

(dois estados estáveis)
indeterminado

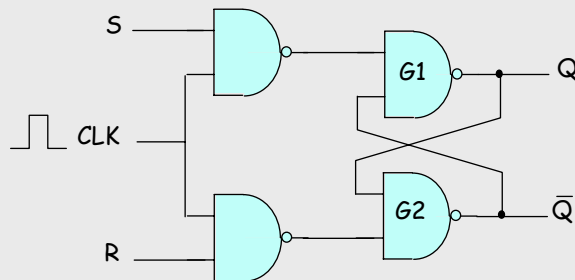
- se $S = 0$ e $R = 1$, então $Q = 1$ e $\bar{Q} = 0$
- se S mudar de estado, as saídas não se alteram
- se $S = 1$ e $R = 1$, então $Q = 1$ e $\bar{Q} = 0$
- se R mudar de estado, as saídas se alteram
- se $S = 1$ e $R = 0$, então $Q = 0$ e $\bar{Q} = 1$

FLIP-FLOP

"switch debouncing"



Flip-Flop S-R gatilhado



NAND		
A	B	Q
0	0	1
1	0	1
0	1	1
1	1	0

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	?

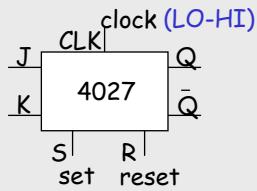
- os sinais lógicos das entradas **S** e **R** estão bloqueados enquanto o clock estiver em nível baixo (**LO**)
- os sinais serão transferidos ao flip-flop quando o clock estiver em nível alto (**HI**)
- **S** e **R** podem ser entradas de dados

Flip-Flop Mestre-Escravo sensível à transição

- possui dois flip-flops (mestre e escravo)
- enquanto o clock estiver **HI** ou **LO**:
 - saída do flip-flop mestre igual à entrada
 - entrada do flip-flop escravo está desabilitada
- na transição do clock (**HI-LO** ou **LO-HI**)
 - mestre é desconectado da entrada
 - saída do mestre é transferida para a entrada do escravo

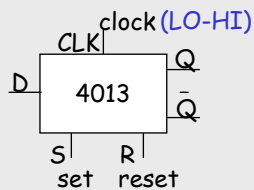
Flip-Flop Mestre-Escravo sensível à transição

• flip-flop JK:



CLK	S	R	J	K	Q_{n+1}
↑	0	0	0	0	Q
↑	0	0	0	1	0
↑	0	0	1	0	1
↑	0	0	1	1	\bar{Q}
-	0	1	-	-	0
-	1	0	-	-	1

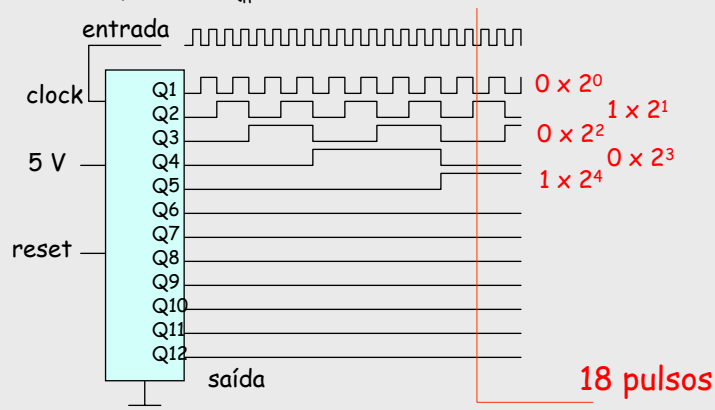
• flip-flop D:



CLK	D	S	R	Q	\bar{Q}
↑	0	0	0	0	1
↑	1	0	0	1	0
↓	-	0	0	Q	\bar{Q}
-	-	1	0	1	0
-	-	0	1	0	1
-	-	1	1	1	1

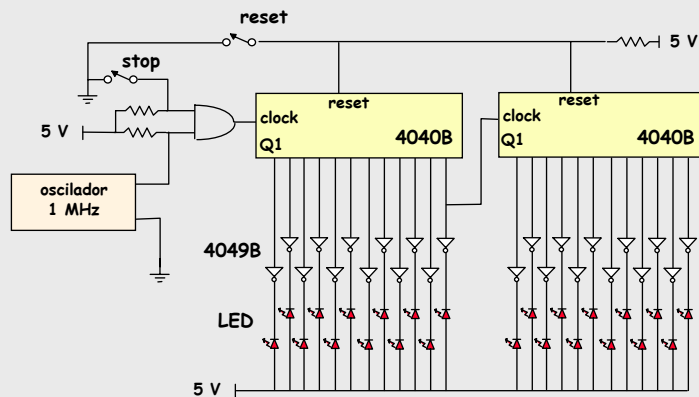
Contador de 12 bits (4040B)

- uma entrada (clock input); 12 saídas paralelas (0 - 4095)
- sensível à transição **HI-LO** (incrementa uma unidade)
- reset = 1, saídas $Q_n = 0$



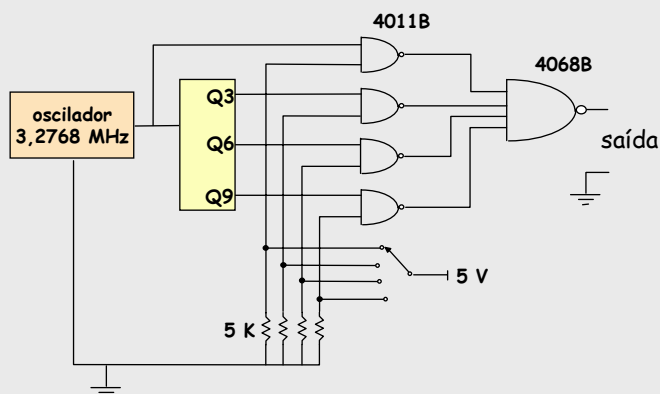
- pode ser usado como um divisor:
 - Q1 divide por 2 ; Q2 divide por 4; Q12 divide por 4096

Contador de Pulsos Lógicos



- contador de 24 bits (~ 16 milhões)
- reset = 1, saídas $Q_n = 0$
- 4049B é um buffer que fornece corrente (5 mA) para acender os LED's
- contagem é iniciada/parada através da chave que habilita/desabilita a porta AND, ligada ao clock

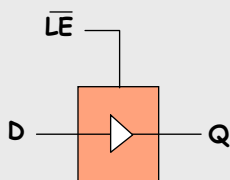
Gerador de Pulsos



- pulsos de amplitude de 5 V
- frequência selecionada pelas portas NAND
- oscilador : 3267,8 kHz
- Q3 (/8) : 409,6 kHz
- Q6 (/64) : 51,2 kHz
- Q9 (/512) : 6,4 kHz

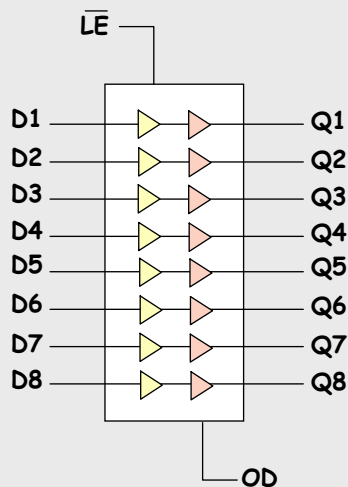
Latch Tri-state


- importante na transmissão de sinais digitais do e para o PC
- latch pode armazenar ("trancar") um dado, enquanto sua saída estiver em alta impedância (tri-state)
- conexão de várias entradas/saídas em um mesmo barramento de dados (bus)



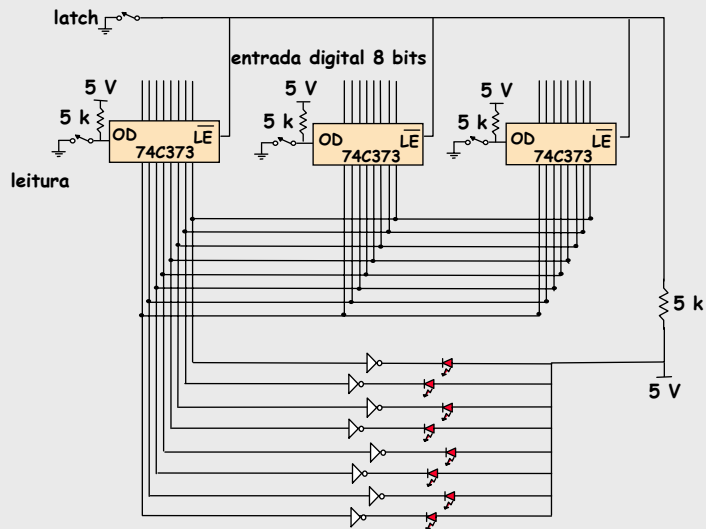
- $Q = D$, quando $\overline{LE} = 1$ (transparente)
- quando $\overline{LE} = 0$, Q mantém seu nível lógico, independente do estado de D

Latch Tri-state



-  em \overline{LE} , dados D_n armazenados no latch na transição HI-LO
- $OD = 1$, tri-state
- $OD = 0$, dados apresentados nas saídas Q_n

Latch Tri-state: aplicação



- 24 sinais armazenados simultaneamente nos latches ($\overline{LE} = 0$)
- 3 leituras efetuadas separadamente ($OD = 0$)